

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229191
 (43)Date of publication of application : 25.08.1998

(51)Int.CI.

H01L 29/78

(21)Application number : 09-032265
 (22)Date of filing : 17.02.1997

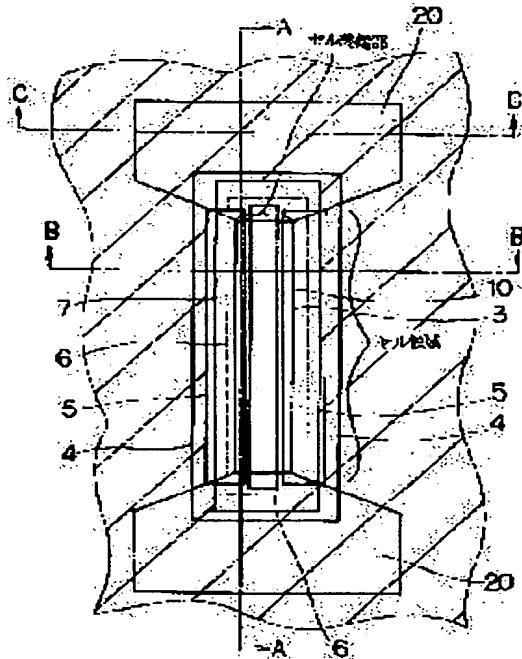
(71)Applicant : DENSO CORP
 (72)Inventor : OZEKI YOSHIHIKO
 OKABE NAOTO
 KATO NAOTO

(54) INSULATED GATE FIELD EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve an insulated gate field effect transistor in resistance to a latch-up phenomenon by a method wherein a second high-concentration region is formed outside a cell region, and the second region is set broader than a first nearly rectangular region formed inside the cell region.

SOLUTION: A P-type substrate with an N-type epitaxial layer grown on its surface is used as the substrate of an IGBT. A deep P well 3 which is rectangular and comparatively high in concentration is formed on the surface part of the N-type epitaxial layer. A P+ type region 20 which is used for an enhancement of latch-up resistance and higher in concentration and broader than a channel P well 4 is formed as connected to the cell edge of the deep well 3. Concretely, the P+ type region 20 is formed like a home base spreading at a prescribed angle from the edge of a cell end.



LEGAL STATUS

[Date of request for examination] 09.04.2003
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3692684
 [Date of registration] 01.07.2005
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229191

(43) 公開日 平成10年(1998)8月25日

(51) Int. Cl. 6

H01L 29/78

識別記号

F I

H01L 29/78

655

F

652

C

審査請求 未請求 請求項の数 6 O.L. (全12頁)

(21) 出願番号

特願平9-32265

(22) 出願日

平成9年(1997)2月17日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 尾関 善彦

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 岡部 直人

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 加藤 直人

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

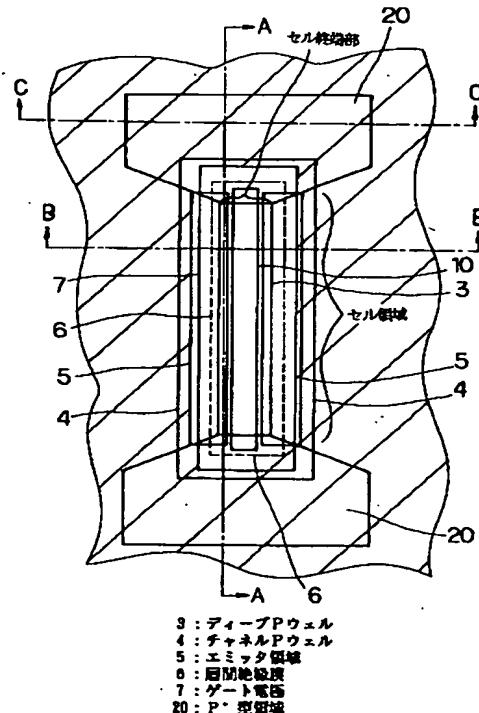
(74) 代理人 弁理士 伊藤 洋二

(54) 【発明の名称】絶縁ゲート型電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 セル終端部近傍のセル領域における正孔の集中を考慮することによりラッチアップ現象耐量の向上を図る。

【解決手段】 P型基板1上に形成されたN型エピタキシャル層2の表層部に形成された比較的高濃度のディープPウェル3における終端部に、幅広な高濃度のP型領域20を形成する。このP型領域20によってセル終端部における正孔の流れを引き抜き、セル終端部近傍におけるセル領域における正孔流量の増加を抑制する。



【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 半導体層 (1) と、前記第 1 半導体層 (1) 上に形成された第 2 導電型の第 2 半導体層 (2) と、前記第 2 半導体層 (2) 内の表層部に形成されるとともに、前記第 2 半導体層 (2) 表面に接合部が終端するよう部的に形成された第 1 導電型の第 3 半導体層 (4) と、前記第 3 半導体層 (4) の中央部に形成されるとともに、この第 3 半導体層 (4) よりも高濃度に形成された第 1 導電型の第 4 半導体層 (3、20) と、前記第 3 半導体層 (4) 内の表層部に形成されるとともに、前記第 3 半導体層 (4) 表面に接合部が終端するよう部的に形成された第 2 導電型の第 5 半導体層 (5) と、前記第 2 半導体層 (2) と第 5 半導体層 (5) 間における前記第 3 半導体層 (4) をチャネル領域として、少なくともこのチャネル領域上に絶縁膜 (6a) を介して形成されたゲート電極 (7) と、前記第 5 半導体層 (5) 及び前記第 4 半導体層 (3、20) に接触部を有するエミッタ電極 (8) と、前記第 1 半導体層 (1) を介してコレクタ電流を供給するコレクタ電極 (9) とを備え、前記ゲート電極 (7) への電圧印加により前記チャネル領域を介して前記エミッタ電極 (8)、コレクタ電極 (9) 間に電流が流れるセル領域を形成してなる絶縁ゲート型電界効果トランジスタであって、前記第 4 半導体層 (3、20) は、前記セル領域内において平面的に見て略長方形形状の第 1 の領域 (3) と、前記セル領域外において前記第 1 の領域 (3) よりも幅広な第 2 の領域 (20) とを有していることを特徴とする絶縁ゲート型電界効果トランジスタ。
 【請求項 2】 前記第 2 の領域 (20) は、前記ゲート電極 (7) の下層部にまで延在して形成されていることを特徴とする請求項 1 に記載の絶縁ゲート型電界効果トランジスタ。
 【請求項 3】 前記第 2 の領域 (20) は前記第 1 の領域 (3) から所定角度を以て広がるように形成されていることを特徴とする請求項 1 又は 2 に記載の絶縁ゲート型電界効果トランジスタ。
 【請求項 4】 前記第 2 の領域 (20) は、隣接するセル領域に形成されている第 2 の領域と接続形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の絶縁ゲート型電界効果トランジスタ。
 【請求項 5】 第 1 導電型の半導体基板 (1) 表面に形成された第 2 導電型層 (2) の表層部に高濃度の第 1 導電型の半導体層 (3、20) を形成する工程と、前記第 2 導電型層 (2) の表層部に前記半導体層 (3、20) よりも幅広な第 1 導電型ウェル層 (4) を形成する工程と、

前記ウェル層 (4) の表面に、その接合部が終端するよう第 2 導電型領域 (5) を形成する工程と、前記第 2 導電型層 (2) と前記第 2 導電型領域 (5) 間における前記ウェル層 (4) の表層部をチャネル領域として、少なくともこのチャネル領域上にゲート絶縁膜 (6a) を介してゲート電極 (7) を形成する工程と、前記第 2 導電型領域 (5) 及び前記半導体層 (3、20) に接触部を有するエミッタ電極 (8) を形成する工程と、
 10 前記半導体基板 (1) を介してコレクタ電流を供給するコレクタ電極 (9) を形成する工程とを備え、前記ゲート電極 (7) への電圧印加により前記チャネル領域を介して前記エミッタ電極 (8)、コレクタ電極 (9) 間に電流が流れるセル領域を形成してなる絶縁ゲート型電界効果トランジスタの製造方法において、前記半導体層 (3、20) を、前記セル領域内においては平面的に見て略長方形形状な第 1 の領域 (3) として形成し、前記セル領域外においては前記第 1 の領域 (3) よりも幅広な第 2 の領域 (20) として形成することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。
 【請求項 6】 前記半導体層 (3、20) を形成する工程は、前記第 1 の領域 (3) 及び前記第 2 の領域 (20) の形成予定領域に開口部を有するマスクを用いることにより前記第 1 の領域 (3) と前記第 2 の領域 (20) とを共に形成することを特徴とする請求項 5 に記載の絶縁ゲート型電界効果トランジスタの製造方法。
 【発明の詳細な説明】
 【0001】
 30 【発明の属する技術分野】 本発明は、高耐圧、大電流のパワースイッチングそして用いる絶縁ゲート型電界効果トランジスタ及びその製造方法に関し、自動車用点火装置やモータ駆動用インバータに用いて好適である。
 【0002】
 【従来の技術】 高耐圧と低オン抵抗の両立を可能にするものとして絶縁ゲート型電界効果型トランジスタ（以下、IGBTという）がある。このIGBTはパワー-MOSFETと類似の構造を成しているがドレイン領域にソース層とは逆の導電型層を設けている。
 40 【0003】 このIGBTの主要部における上面模式図を図19(a)に示し、図19(a)におけるIGBTのD-D矢視断面図を図19(b)に示す。図19(a)、(b)に基づきIGBTの構造について説明する。IGBTの基板には、P+型基板1の表面にN+型エピタキシャル層2を成長させたものが用いられている。そして、N+型エピタキシャル層2表層部には、比較的濃度が高いディープP+型拡散層（以下、ディープPウェルという）3と、このディープPウェルより濃度が薄いP型拡散層（以下、チャネルPウェルという）4が形成されている。

【0004】また、これらディープPウェル3及びチャネルPウェルの表層部にはN⁻型拡散層からなるエミッタ領域5が形成されている。そして、シリコン基板の表面におけるチャネルPウェル4上には、ゲート酸化膜6aを介してゲート電極7が備えられている。このゲート電極7を図19(a)において斜線で示す。さらにゲート電極7は層間絶縁膜6bで覆われており、ゲート酸化膜6a及び層間絶縁膜6bにはコンタクトホール(図19(a)における点線部分)が形成されており、このコンタクトホールを通じてエミッタ電極8がパターニング形成されている。そして、P⁺型基板裏面にコレクタ電極9が形成されている。

【0005】このように構成されたIGBTにおける実動作時における作動模式図を図20に示す。図20に基づきIGBTの作動について説明する。ゲート電極7に一定のしきい値電圧を印加すると、ゲート電極7下のチャネルPウェル4の表面が反転して電子のチャネルを形成する。そして、このチャネルの表面を通ってN⁻型エピタキシャル層2に電子が流入する。

【0006】流入した電子はN⁻型エピタキシャル層2の電位を下げてP⁺型基板1及びN⁻型エピタキシャル層2におけるPN接合を順バイアスする。この結果P⁺型基板1からN⁻型エピタキシャル層2に少数キャリアである正孔が流入する。この正孔の流れによりN⁻型エピタキシャル層2は導電率変調を受け、その抵抗率を大幅に減少させる。これにより、コレクタ電極9からエミッタ電極8へ大きな正孔電流が流れる。

【0007】

【発明が解決しようとする課題】ところで、チャネルPウェル4の横方向抵抗(図20の抵抗記号の部分)が大きいため、チャネルPウェル4における電圧降下は大きい。このチャネルPウェル4の内部抵抗を考慮するとIGBTは図21の回路模式図にて表される。すなわち、図21に示されるFETはゲート電極7、チャネルPウェル4、エミッタ領域5及びN⁻型エピタキシャル層2から構成され、PNP型トランジスタはP⁺型基板1、N⁻型エピタキシャル層2、チャネルPウェル4及びディープPウェル3から構成され、NPN型トランジスタ(以下、寄生トランジスタという)はエミッタ領域5、チャネルPウェル4、N⁻型エピタキシャル層2から構成されている。そして、抵抗RはチャネルPウェル4の内部抵抗を示す。

【0008】図21に示されるように、抵抗Rに流れる正孔電流の量が大きくなると、抵抗Rにおける電圧降下が大きくなる。そして、この電圧降下がエミッタ領域5及びチャネルPウェル4によるPN接合を順バイアスしすぎる大きさに達すると、寄生トランジスタがオンしてしまう。これにより、IGBTが連続導通状態になるという、いわゆるラッチアップ現象が発生してしまう。

【0009】ここで、ウェハ上面におけるIGBTの正

孔の流れの状態を図22に示す。IGBTの動作では、P⁺型基板1からN⁻型エピタキシャル層2に注入された大部分の正孔はN⁻型エピタキシャル層2を上方向に流れ、上部に位置するチャネルPウェル4を通じてエミッタ電極8に達するが、チャネル領域を介して電流が流れる部分であるセル領域の外周部でN⁻型エピタキシャル層2に注入された正孔は、その上部にセル領域が形成されていないため、最寄りのセル領域に向かって流れエミッタ電極8に達する。このようにセル領域終端部のセルには外周部からの正孔の流れが集中する結果、セル領域の内部のセルを流れる正孔電流密度に比べ高くなる。

10

【0010】そして、このセル終端部における正孔の流れによって、セル領域のうちのセル終端部近傍においては、正孔の流れる量が多くなる。このため、セル終端部近傍のセル領域におけるチャネルPウェル4の横方向抵抗にかかる電圧、すなわち電圧降下が大きくなり、上述した様なラッチアップ現象が生じ易くなるという問題がある。

20

【0011】本発明は、上記問題に鑑みたもので、セル終端部近傍のセル領域における正孔の集中を考慮することによりラッチアップ現象耐量の向上を図ることを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1乃至4に記載の発明においては、セル領域外に高濃度の第2の領域(20)を形成して、この第2の領域(20)をセル領域内において形成された略長方形形状の第1の領域(3)よりも幅広にしていることを特徴とする。

30

【0013】セル領域外に高濃度、つまり低抵抗の第2の領域(20)を形成することにより、この第2の領域(20)側にセル終端部における正孔の流れが引き抜かれる。このため、セル終端部からセル領域へ正孔が回り込まず、第2の領域(20)を介して正孔が流れる。これにより、セル終端部近傍におけるセル領域において、セル終端部から流れてきた正孔による正孔流量の増加が生じない。従って、セル終端部近傍のセル領域における電圧降下の増大が防止でき、ラッチアップ耐量の向上を図ることができる。

40

【0014】請求項4に記載の発明においては、第2の領域(20)は、隣接するセル領域に形成されている第2の領域と接続形成されていることを特徴とする。このように、隣接する第2の領域(20)を接続することにより、セル領域の外部側から流れてくる正孔をこの第2の領域(20)で略完全に引き抜くことができる。これにより、よりラッチアップ耐量の向上を図ることができる。

50

【0015】請求項5又は6に記載の発明においては、セル領域内においては平面的に見て略長方形形状となる第1の領域(3)と、セル領域外においては第1の領域

(3) よりも幅広となる第2の領域(20)とを有する高濃度の半導体層(3、20)を形成することを特徴とする。このように、第1の領域(3)よりも幅広となる第2の領域(20)を形成することにより、この第2の領域(20)においてセル終端部における正孔電流を引き抜くことができ、請求項1と同様の効果が得られる。

【0016】なお、第2の領域(20)の濃度は第1の領域(3)の濃度に限定されるものではなく、第1の領域(3)と第2の領域(20)を同等の濃度にしてもよく、また第2の領域(20)を第1の領域(3)よりも濃くしてもよい。請求項6に記載の発明においては、第1の領域(3)及び第2の領域(20)の形成予定領域に開口部を有するマスクを用いることにより第1の領域(3)と第2の領域(20)とを共に形成することを特徴とする。

【0017】このように、第1の領域(3)と第2の領域(20)を1つのマスクによって同時に形成することにより、第2の領域(20)のみを形成するために必要な工程を排除することができ、工程数を削減することができる。

【0018】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態) IGBTは、並列して設けられた複数個の基本セルにより構成されている。この基本セルの模式図を図1に示す。また、図2(a)～(c)はそれぞれ図1におけるA-A、B-B、C-C断面図である。以下、図1、図2に基づきIGBTの構成について説明する。

【0019】IGBTの基板には、P型基板1及びこのP型基板1表面に成長させたN型エピタキシャル層2を備えたものが用いられている。そして、N型エピタキシャル層2表層部には、長方形状をした比較的濃度が高いディープPウェル3が形成され、さらにこのディープPウェル3の表層部にこのディープPウェル3をより低抵抗化するための高濃度P型領域10が形成されている。また、ディープPウェル3より濃度が薄く幅広なチャネルPウェル4がディープPウェル3を覆うように形成されている。

【0020】そして、セル終端部においては、ラッチアップ耐量を向上させるためのP型領域20が、ディープPウェル3の長手方向端部(セル終端部)に接続された状態で、またチャネルPウェル4よりも高濃度(低抵抗)かつ幅広に形成されている。具体的には、P型領域20はセル終端部から所定の角度を以て広がり、略ホームベース形状にて形成されている。なお、図1においてP型領域20はディープPウェル3と分割された状態で示しているが、これはこれらの役割を明確にするためのものであり、本実施形態においては実際にはこれらは同一高濃度P型層で形成されている。

【0021】また、これらディープPウェル3及びチャネルPウェル4の表層部にはN型拡散層からなるエミッタ領域5が形成されている。そして、基板の表面におけるチャネルPウェル4上には、ゲート酸化膜6aを介してゲート電極7が備えられており、さらにこのゲート電極7を層間絶縁膜6bで覆っている。なお、図1においてゲート電極7を斜線で表す。また、層間絶縁膜6bにはコンタクトホールが形成されており、このコンタクトホールを接触窓としてディープPウェル3等と接する様にエミッタ電極8がバターニング形成されている。また、P型基板1裏面にコレクタ電極9が形成されている。

【0022】このように構成されたIGBTにおいて、ゲート電極7に対して所定の電圧を印加すると、上記したようにコレクタ電極9からエミッタ電極8へ正孔(電流)が流れる。このとき、セル領域に発生した正孔の流れによってセルの終端部においても正孔が引き込まれ、セル終端部における正孔の流れが発生する。

【0023】しかしながら、セル終端部に低抵抗かつ幅広のP型領域20が形成されているため、セル終端部における正孔の流れは概ねこのP型領域20に引き抜かれる。この正孔の流れを図3に示す。つまり、セル終端部におけるP型領域20(図3の斜線部分)が低抵抗であるため、正孔が低抵抗のセル終端部から高抵抗のセル領域に回りこまず、図3に示すようにP型領域20に引き抜かれるようにしてエミッタ電極8に達する。

【0024】従って、セル終端部近傍のセル領域において、セル終端部から流れてきた正孔による正孔流量の増加が生じない。このため、セル終端部近傍のセル領域においても電圧降下が大きくならず、すなわちラッチアップ耐量の向上が図れる。このように、セル終端部に低抵抗かつ幅広のP型領域20を形成することにより、セル終端部近傍のセル領域での電圧降下を抑制し、ラッチアップ耐量を向上させることができる。

【0025】次に、このように構成されたIGBTの製造工程を図4～図10に模式的に示す。なお、図4～図10において(a)はIGBTの上面模式図を示し、(b)は(a)におけるX-X矢視断面図を示す。また、これらの図における上面模式図(a)についてのハッチングは、それぞれ(b)に示すハッチングに対応している。以下、図4～図10に基づきIGBTの製造工程手順を説明する。

【0026】【図4に示す工程】まず、P型基板1上にN型エピタキシャル層2を成長させる。そして、これを基板として用いる。次に、フォトリソグラフィによりN型エピタキシャル層2の上面にディープPウェル3及びP型領域20形成予定領域に開口パターンを有するフォトレジストを成膜し、このフォトレジストをマスクとしてポリソイオンを注入してディープPウェル3及びP型領域20を選択的に形成する。

【0027】このとき、P' 型領域 20 はディープ P ウエル 3 の終端部と接続させて、さらに P' 型領域 20 が後工程にて形成するチャネル P ウエル 4 よりも高濃度

(低抵抗)かつ幅広になるように形成する。なお、このようにディープ P ウエル 3 と共に P' 型領域 20 を形成することにより、この P' 型領域 20 を形成するためにのみ必要とする工程を排除できる。

【0028】【図 5 に示す工程】次に、N' 型エピタキシャル層 2 の表面を酸化してゲート酸化膜 6 a を形成する。そして、このゲート酸化膜上に高濃度にドーピングされたポリシリコンを堆積し、長方形形状の空洞パターンを有するゲート電極 7 を形成する。このとき、図 5 に示すように、ゲート電極 7 の下に P' 型領域 20 が覆われる。なお、ウェハ上面からみたときにおけるゲート電極 7 を斜線にて表す。

【0029】【図 6 に示す工程】この後、このゲート電極 7 をマスクにしてボロンイオンを注入し、これを拡散させてチャネル P ウエル 4 を形成する。これにより、図 4 (c) の平面模式図に示されるようにゲート電極 7 とチャネル P ウエル 4 が形成される。

【0030】【図 7 に示す工程】そして、フォトリソグラフィにより高濃度 P' 型領域 10 形成予定領域に開口パターンを有するフォトレジストを成膜し、このフォトレジストをマスクにしてボロンイオンを注入する。そして、このボロンイオンを拡散させてディープ P ウエル 3 の低抵抗化のための高濃度 P' 型領域 10 を形成する。

【0031】【図 8 に示す工程】次いで、フォトリソグラフィによりエミッタ領域 5 形成予定領域に開口パターンを有するフォトレジストを成膜して、このフォトレジストをマスクにしてリンイオンを注入する。そして、このリンイオンを拡散させて N' 型拡散層からなるエミッタ領域 5 を形成する。

【0032】【図 9 に示す工程】続いて、ウェハ全面に層間絶縁膜 6 b を形成したのちに、エミッタ領域 5 及びチャネル P ウエル 4 とオーミック接触を形成するためのコンタクトホールをこの層間絶縁膜 6 b と先に形成されたゲート酸化膜 6 a に選択的に形成する。

【図 10 に示す工程】その後、スパッタ法により数ミクロンの金属膜を堆積させてエミッタ電極 8 を形成する。そして、P 型基板 1 の裏面に金属膜を蒸着してコレクタ電極 9 を形成する。これにより、IGBT が完成する。

【0033】なお、上述したように、P' 型領域 20 をディープ P ウエル 3 と共に形成したが、P' 型領域 20 をディープ P ウエル 3 とは別に形成してもよい。また、本実施形態においては、P' 型領域 20 を略ホームベース形状としたが、チャネル P ウエル 4 よりも幅広な形状であれば同様の効果が得られる。例えば、略円形状にしてもよく長方形形状にしてもよい。但し、P' 型領域 20 をエミッタ領域 5 を横切るような構成とする場合においては、この横切る領域における電圧降下が大きくなる

場合が考えられる。このため、エミッタ領域 5 を横切る部分が少なめになる構成として P' 型領域 20 を形成するのが好ましい。

【0034】(第 2 実施形態) 本実施形態における IGBT の模式図を図 11 に示す。なお、IGBT の基本構成については概ね第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。すなわち、各基本セルに形成されたディープ P ウエル 3 の終端部に、チャネル P ウエル 4 よりも高濃度かつ幅広の P' 型領域 20 を形成している点においては第 1 実施形態と同様であるが、この P' 型領域 20 について隣り合う各基本セル間で互いに連結させている点で第 1 実施形態と異なる。

【0035】つまり、本実施形態においては各基本セル間における P' 型領域 20 を連結させることによって、セル領域側とその外部側とを完全に分離している。これにより、セル領域の外部側における正孔の流れを略完全に P' 型領域 20 に引き抜くことができ、より完全にセル終端部における正孔がセル終端部近傍のセル領域に流れていくことを防ぐことができる。これにより、セル終端部における正孔流量を少なくすることができ、ラッチアップ耐量の向上を図ることができる。

【0036】なお、本実施形態における製造工程手順は第 1 実施形態と同様であるが、P' 型領域 20 の形状が異なるため、図 4 に示す工程において用いるマスクの形成を図 11 に示した P' 型領域 20 に合わせたものにする必要がある。

(第 3 実施形態) 本実施形態における IGBT の製造工程を図 12～図 18 に模式的に示す。本実施形態における IGBT の製造工程において第 1 実施形態と主に異なる点は、第 1 実施形態においてはゲート電極 7 を形成する以前にラッチアップ耐量を向上させるための P' 型領域 20 を形成しているが、本実施形態においてはゲート電極 7 形成後に P' 型領域 20 を形成することである。

【0037】なお、図 12～図 18 において (a) は IGBT の上面模式図を示し、(b) は (a) における Y-Y 矢視断面図を示す。また、これらの図における上面模式図 (a) についてのハッチングは、それぞれ (b) に示すハッチングに対応している。以下、図 12～図 18 に基づき IGBT の製造工程手順を説明する。

【図 12 に示す工程】まず、P 型基板 1 上に N' 型エピタキシャル層 2 を成長させた基板を用いて、この基板における N' 型エピタキシャル層 2 の上面にディープ P ウエル 3 形成予定領域に開口パターンを有するフォトレジストを成膜する。そして、このフォトレジストをマスクとしてボロンイオンを注入し、ディープ P ウエル 3 を選択的に形成する。

【0038】【図 13 に示す工程】次に、N' 型エピタキシャル層 2 の表面を酸化してゲート酸化膜 6 a を形成する。そして、このゲート酸化膜 6 a 上に高濃度にドー

ピングされたポリシリコンを堆積し、略H型形状（長方形形状の長手方向端部を幅広にした形状）の空洞パターンを有するゲート電極7を形成する。

【0039】〔図14に示す工程〕この後、このゲート電極7をマスクにしてボロンイオンを注入し、これを拡散させてチャネルPウェル4及び周辺領域30を形成する。なお、この周辺領域30は、ゲート電極7の形状を後工程においてP'型領域20を形成できる形状を採用しているために形成されるものであり、この周辺領域30はチャネルPウェル4の役割とは何ら関係ない。

【0040】〔図15に示す工程〕そして、フォトリソグラフィによりP'型領域20形成予定領域及びディープPウェル3の一部に開口パターンを有するフォトレジストを成膜して、このフォトレジストをマスクにしてボロンイオンを注入する。そして、このボロンイオンを拡散させて高濃度のP'型領域20を形成するとともに、ディープPウェル3の一部を高濃度にして高濃度P'型領域10を形成する。なお、P'型領域20は高濃度P'型領域10と連続しており、IGBTの実動作時においては、P'型領域20から吸引された正孔のは主にこの高濃度P'型領域10を介してエミッタ電極8へ流れれる。

【0041】〔図16に示す工程〕次いで、フォトリソグラフィによりエミッタ領域5形成予定領域に開口パターンを有するフォトレジストを成膜して、このフォトレジストをマスクにしてリンイオンを注入する。そして、このリンイオンを拡散させてN'型拡散層からなるエミッタ領域5を形成する。

【0042】〔図17に示す工程〕続いて、ウェハ全面に層間絶縁膜6bを形成したのちに、エミッタ領域5、チャネルPウェル4及びP'型領域40とオーミック接触を形成するためのコンタクトホールをこの層間絶縁膜6bに選択的に形成する。なお、ゲート電極7形成後にP'型領域20を形成しているため、P'型領域20上にはゲート電極7が形成されていない。このため、P'型領域20上の層間絶縁膜6bを除去して、P'型領域20においてもオーミック接触が行われるようにする。

【0043】〔図18に示す工程〕その後、スパッタ法により数ミクロンの金属膜を堆積させてエミッタ電極8を形成する。そして、P型基板1の裏面に金属膜を蒸着してコレクタ電極9を形成する。これにより、IGBTが完成する。このように、ディープPウェル3とは別々にP'型領域20を形成することもできる。そして、ディープPウェル3と別工程にてP'型領域20を形成しているため、ディープPウェル3の濃度に依存することなく、P'型領域20の濃度をより高濃度のものにすることができる。

【0044】これにより、P'型領域の濃度をより高濃度にすことができ、このP'型領域での正孔の引き抜きをより容易にすことができる。

（他の実施形態）なお、上記実施形態においては本発明をIGBTに適用したものを示したが、IGBTに代えてDMOSトランジスタに適用することもできる。例えば、素子のブレークダウン時において、セル終端部での電流密度の増加を抑制し、寄生動作の発生を抑制することができる。

【図面の簡単な説明】

【図1】第1実施形態におけるIGBTの上面模式図である。

10 【図2】（a）は、図1におけるA-A矢視断面図、（b）は図1におけるB-B矢視断面図、（c）は図1におけるC-C矢視断面図である。

【図3】IGBTにおける正孔の流れを示す模式図である。

【図4】図1におけるIGBTの製造工程を示す図である。

【図5】図4に続くIGBTの製造工程を示す図である。

【図6】図5に続くIGBTの製造工程を示す図である。

【図7】図6に続くIGBTの製造工程を示す図である。

【図8】図7に続くIGBTの製造工程を示す図である。

【図9】図8に続くIGBTの製造工程を示す図である。

【図10】図9に続くIGBTの製造工程を示す図である。

【図11】第2実施形態におけるIGBTの上面模式図である。

30 【図12】図11におけるIGBTの製造工程を示す図である。

【図13】図12に続くIGBTの製造工程を示す図である。

【図14】図13に続くIGBTの製造工程を示す図である。

【図15】図14に続くIGBTの製造工程を示す図である。

【図16】図15に続くIGBTの製造工程を示す図である。

40 【図17】図16に続くIGBTの製造工程を示す図である。

【図18】図17に続くIGBTの製造工程を示す図である。

【図19】従来におけるIGBTの模式図であって、（a）はIGBTの上面模式図、（b）は（a）のD-D矢視断面図である。

【図20】図19に示すIGBTの作動を示す説明図である。

50 【図21】図19に示すIGBTの回路模式図である。

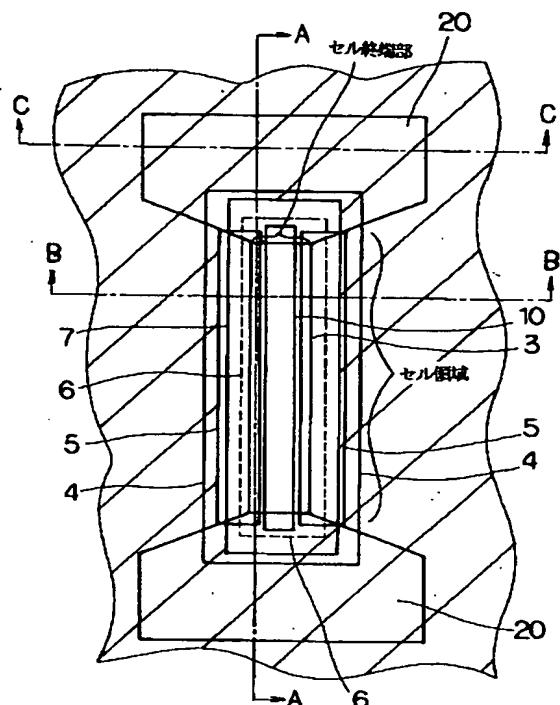
【図22】図19に示すIGBTの正孔の流れを示す説明図である。

【符号の説明】

1…P型基板、2…N⁻型エピタキシャル層、3…ディ

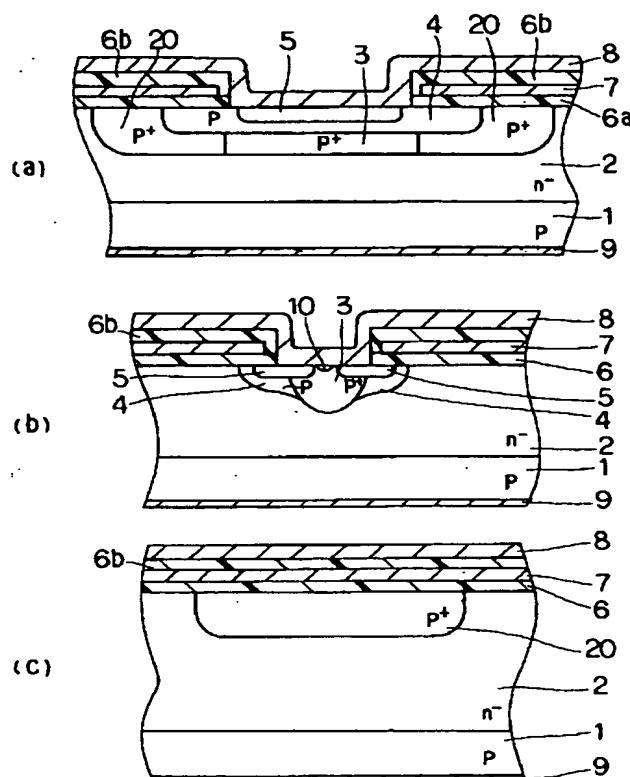
ープPウェル、4…チャネルPウェル、5…エミッタ領域、6a…ゲート酸化膜、6b…層間絶縁膜、7…ゲート電極、8…エミッタ電極、9…コレクタ電極、10…高濃度P⁺型領域、20…P⁺型領域。

【図1】

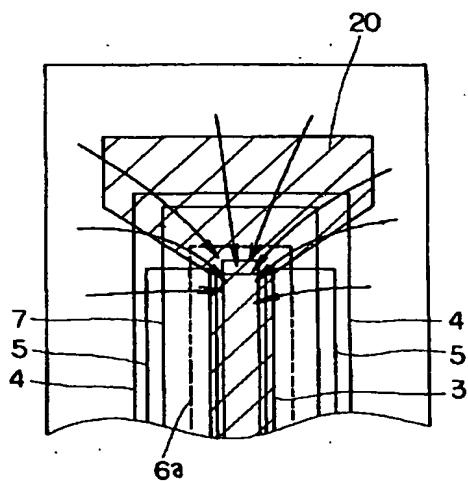


3 : ディープPウェル
4 : チャネルPウェル
5 : エミッタ領域
6 : 層間絶縁膜
7 : ゲート電極
20 : P⁺型領域

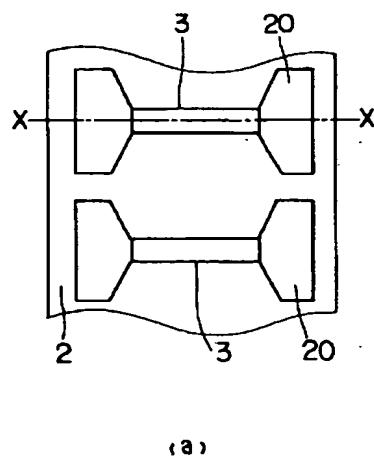
【図2】



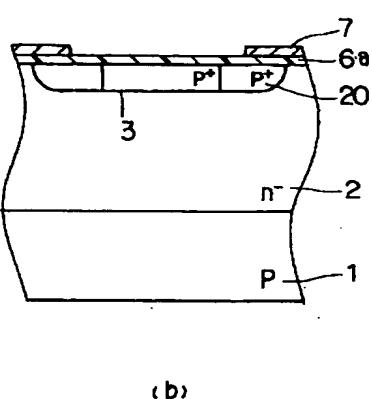
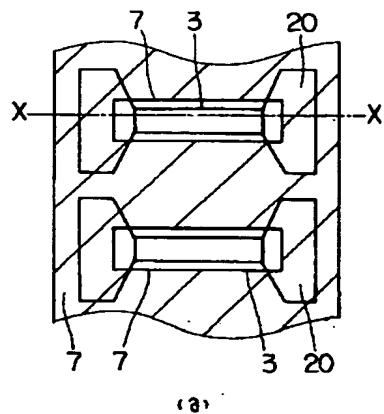
【図3】



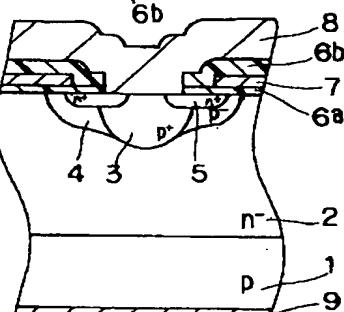
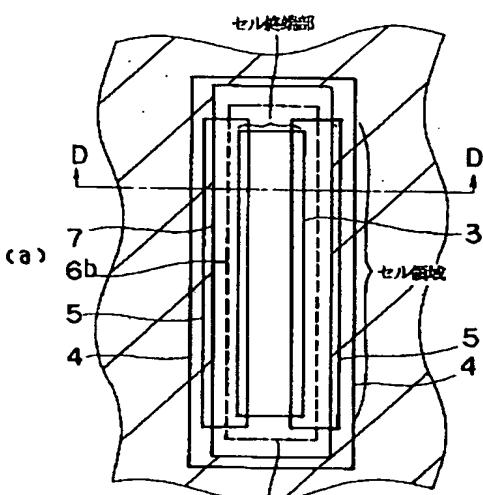
【図4】



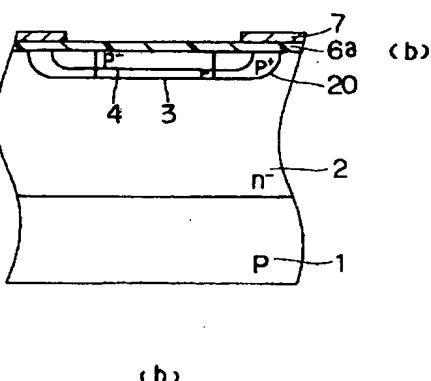
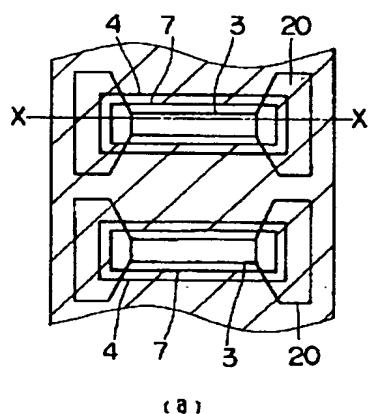
【図 5】



【図 19】

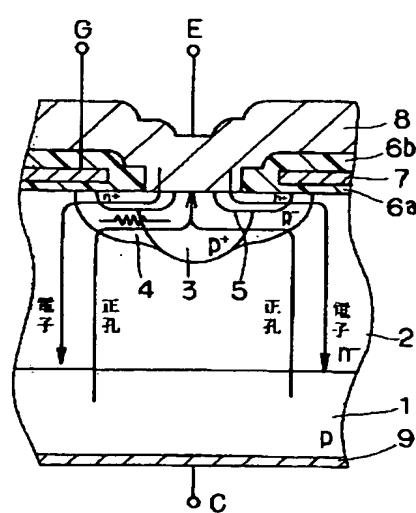
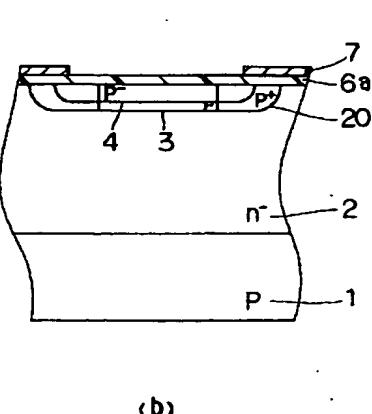
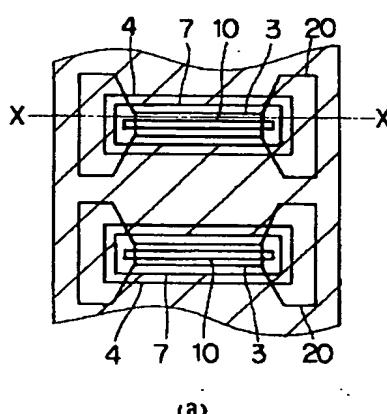


【図 6】

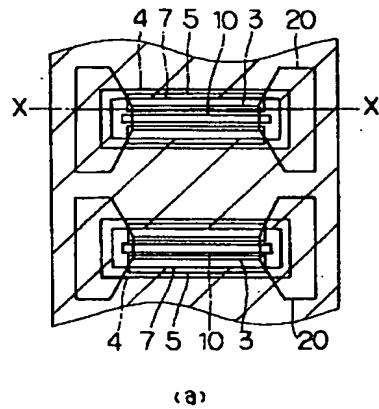


【図 20】

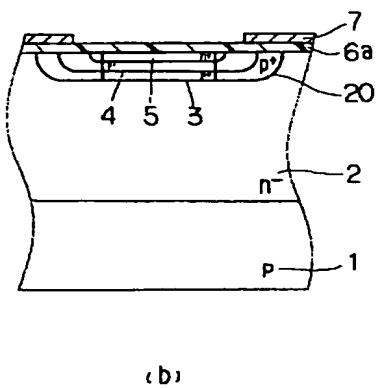
【図 7】



【図 8】

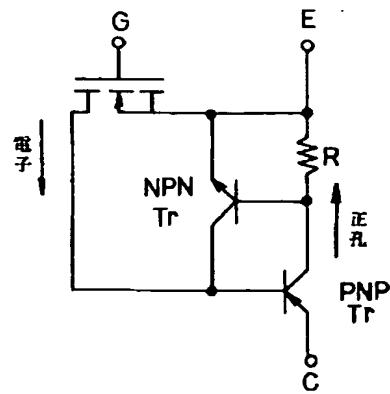


(a)

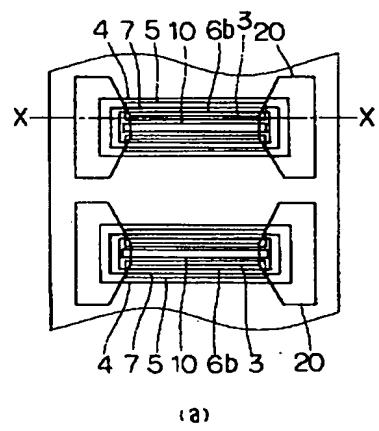


(b)

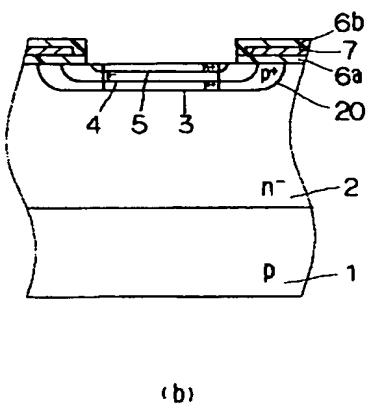
【図 21】



【図 9】

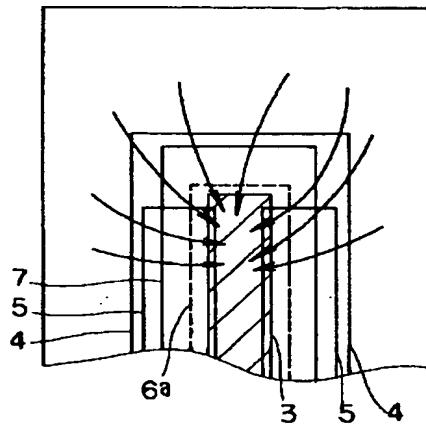


(a)

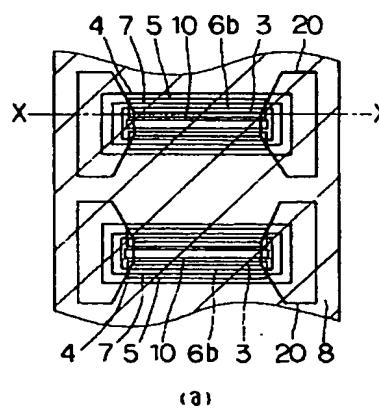


(b)

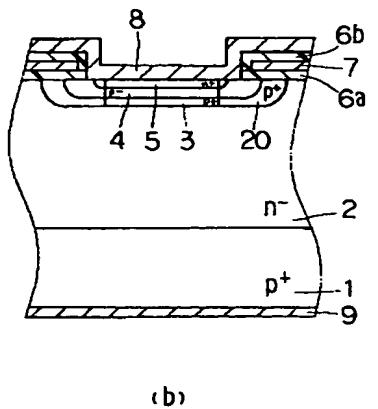
【図 22】



【図 10】

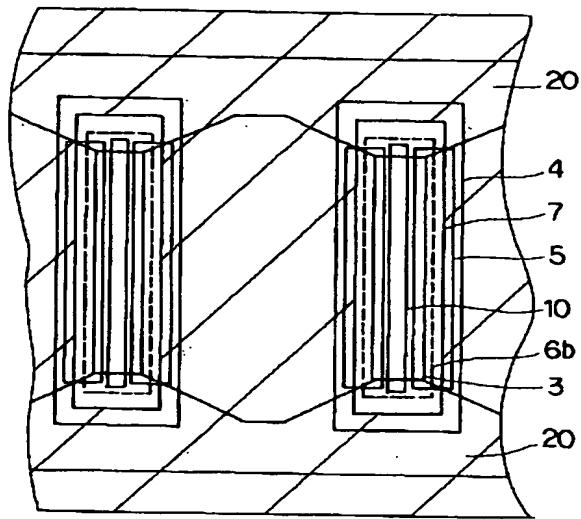


(a)

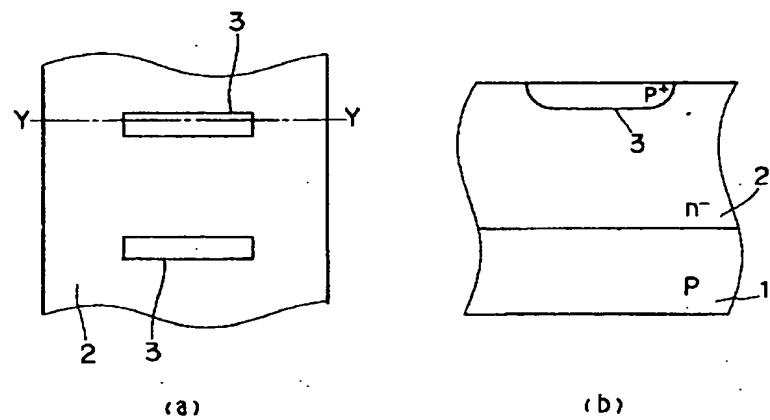


(b)

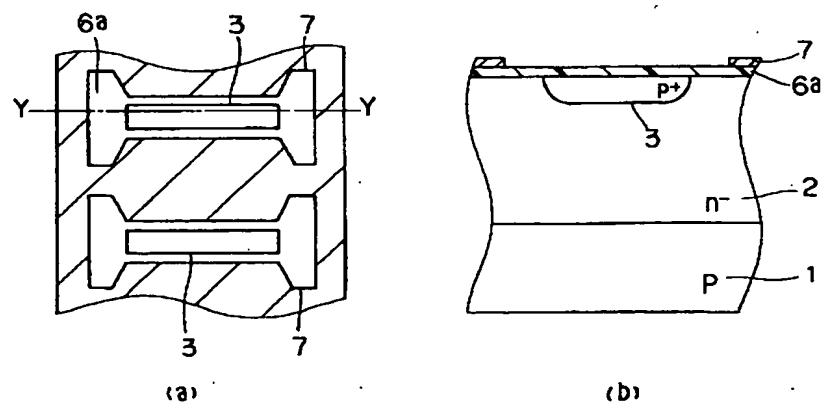
【図 1 1】



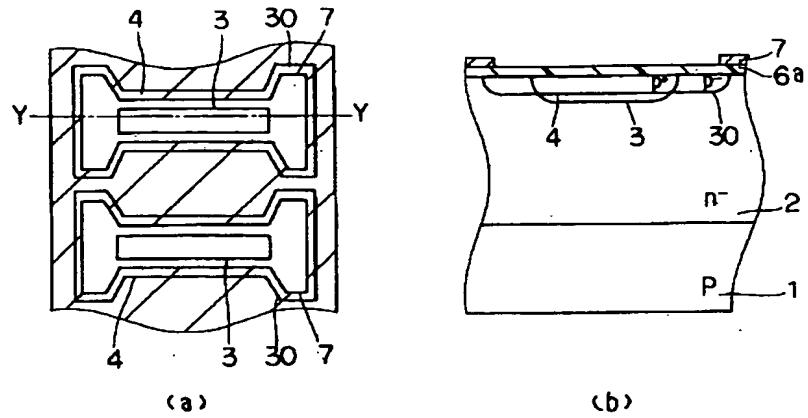
【図 1 2】



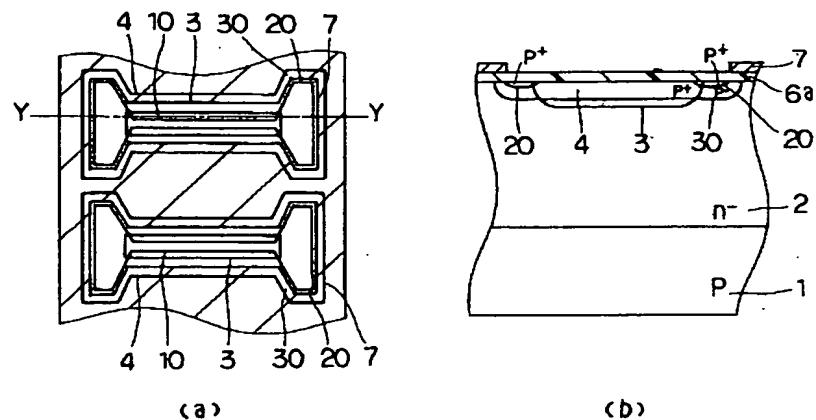
【図 1 3】



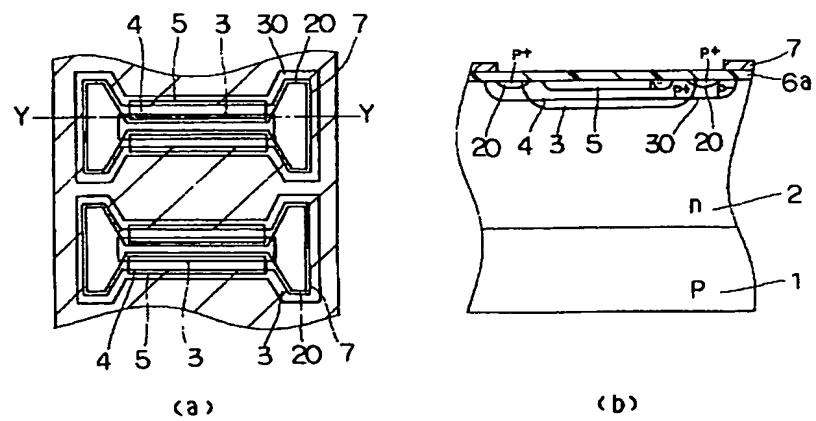
【図 14】



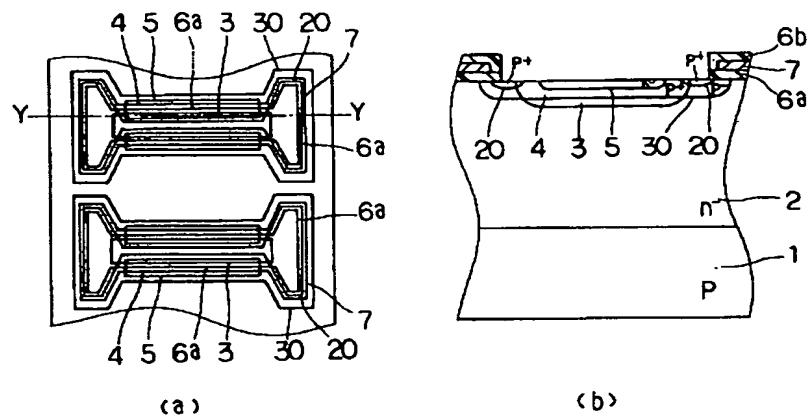
【図 15】



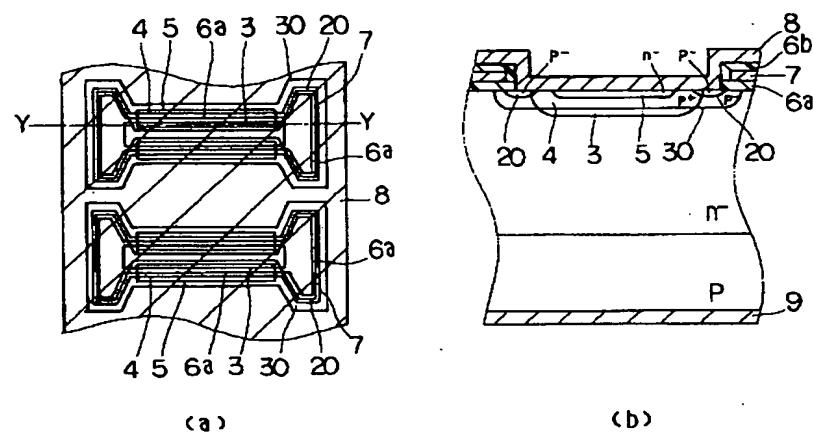
【図 16】



【図 17】



【図 18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.